

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06019428

(43)Date of publication of application: 28.01.1994

(51)Int. CI.

G09G 3/36
G02F 1/133

(21)Application number: 04177969

(71)Applicant:

HITACHI LTD
HITACHI GAZOU JOHO SYST:KK

(22)Date of filing: 06.07.1992

(72)Inventor:

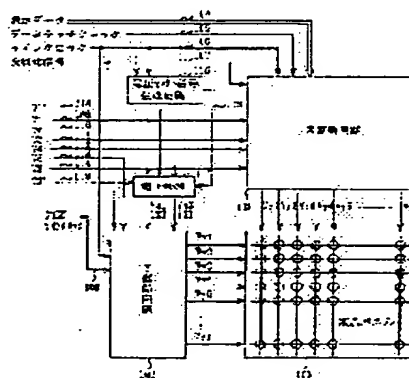
KUDO YASUYUKI
MANO HIROYUKI
KONUMA SATOSHI
OTSUKA TATSUHIRO
TAKAHASHI KOJI

(54) DRIVING SYSTEM OF MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To attain excellent display quality without causing crosstalk by providing a voltage switching means which corrects a source voltage to be applied to a Y driving circuit and correcting a liquid crystal applied voltage at intervals of one scanning period.

CONSTITUTION: The Y driving circuit 103 inputs a head line clock 108 with a line clock 106 to select and scans a head line and then moves the scanning line in order. According to the combination of this scanning signal and an AC-converted signal 107 a voltage of one level is selected among the V6 voltage 110 and V5 voltage 113 of a two-level liquid crystal driving source voltage and a Vs1 voltage 120 and a Vs2 voltage 121 supplied from a voltage selector, and applied to Y electrodes Vyl-Vyj. Namely, when the AC-converted signal 107 is '0' the Vs1 voltage 120 in the scanning state or the scanning signal or the V5 voltage 113 in the nonscanning state is selected and outputted. When the AC-converted signal 107 is '1', on the other hand, the Vs2 voltage 121 in the scanning state of the scanning signal or the V6 voltage 114 in the nonscanning direction is selected and outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-19428

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 4 5	9226-2K		

審査請求 未請求 請求項の数3(全 21 頁)

(21)出願番号 特願平4-177969

(22)出願日 平成4年(1992)7月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 工藤 泰幸

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(74)代理人 弁理士 小川 勝男

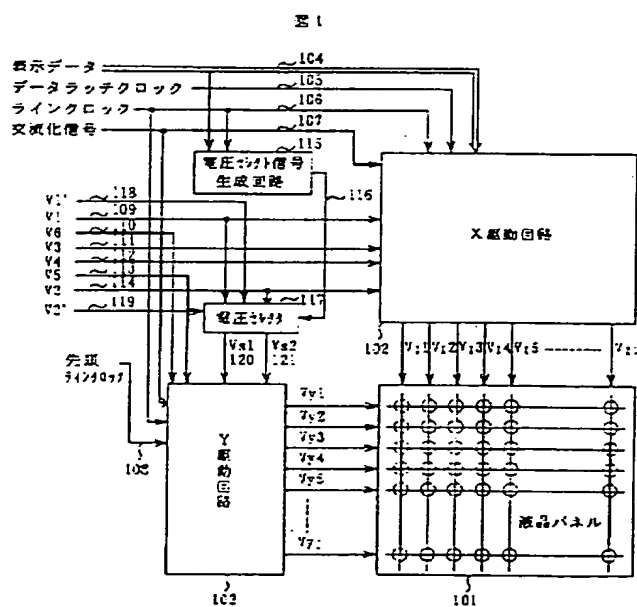
最終頁に続く

(54)【発明の名称】 マトリクス表示装置の駆動方式

(57)【要約】

【目的】本発明は、液晶表示装置に係り、特に単純マトリクス形液晶表示装置において、クレストークの発生しない、表示品質良好な表示を得ることを可能とする液晶表示装置の駆動方式を提供することにある。

【構成】Y駆動回路からの走査電圧とX駆動回路からの表示電圧との電位差分の電圧を印加して、表示データに従った表示を行わせる液晶表示装置において、Y駆動回路に与える電源電圧を補正する電圧切り換え手段を設け、1走査期間毎に液晶印加電圧を補正することにより達成される。



【特許請求の範囲】

【請求項1】マトリクス状に配列された電極の交点で表示を行うマトリクス表示装置と、表示データを順次受け取り、該表示データに従った表示電圧を出力するX駆動手段と、該表示電圧を表示するラインを指示する選択電圧を出力するY駆動手段とからなる液晶表示装置において、該選択電圧の電圧レベルを表示情報により切り替えることを特徴とするマトリクス表示装置の駆動方式。

【請求項2】請求項1の駆動方式において、該選択電圧の電圧レベルの切り替えを、同一行上の表示内容の表示オンから表示オフへの変化数と、表示オフから表示オンへの変化数の差で行うことを特徴とするマトリクス表示装置の駆動方式。

【請求項3】請求項1の駆動方式において、該選択電圧の電圧レベルの切り替えを、1ラインの表示オンの数と、表示オフの数の差で行うことを特徴とするマトリクス表示装置の駆動方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の駆動方式に係り、特に単純マトリクス形液晶表示装置において、クコストークの発生しない、表示品質の良好な表示を得ることを可能とする液晶表示装置の駆動方式に関する。

【0002】

【従来の技術】従来、単純マトリクス形の液晶表示パネルを有する液晶表示装置は、工業調査会より出版されている「液晶の最新技術」P. 106～P. 109に記載のように、電圧平均化法により駆動・表示を行っている。

【0003】また、従来の液晶表示装置は液晶材料の長寿命化のために、交流化信号を用いており、液晶セルに印加する電圧の正負を、交流化信号が“ハイ”の時に“ロー”の時とで逆転させている。

【0004】以下図2～図7を用いてこの方式を説明する。

【0005】図2は従来の液晶表示装置のブロック図である。101は液晶パネルであり、本例では横 V_{xi} ドット、縦 V_{yj} ドットで構成されるものとする。102は日立製HD66204で代表されるX駆動回路、103は日立製HD66205で代表されるY駆動回路である。104は表示データで、4ビットパラレル、105は表示データ104に同期したデータラッチクロック、106はラインクロックで、ラインクロック106の1同期で1水平分のデータが送られている。107は交流化信号で、1フレーム毎に液晶セルに印加する電圧の正負を逆転させる。108は先頭ラインクロックで、先頭ラインクロック108の1同期は1フレーム期間である。109～114は液晶パネルを駆動させるための6レベルの電源電圧である。図3は液晶駆動電源電圧10

9～114を生成する分圧回路、図4はX駆動回路102の動作説明図、図5はY駆動回路103の動作説明図、図6は液晶パネル表示パターン、図7は図6に示す表示パターンを表示した時の液晶印加電圧波形図である。

【0006】X駆動回路102には、1走査電極分の表示データ104と1走査電極分のデータラッチクロック105とが加えられて、表示データ104がデータラッチクロック105に順次ラッチされ、1走査電極分の表示データ104が蓄積されると、ラインクロック106がX駆動回路102に加えられて、シフトされた表示データ104がX駆動回路102の出力側にコードされる。

【0007】コードされた表示データ104と交流化信号107との組合せにより、4レベルの液晶駆動電源電圧V1電圧109、V3電圧111、V4電圧112、V2電圧114の中から1レベルの電圧を選択して、1走査電極分のX駆動電圧が並列的にX電極 $V_{x1} \sim V_{xi}$ に印加される。すなわち、図4に示すように交流化信号107が“0”の時、表示データ104がONの場合V2電圧114が、表示データ104がOFFの場合V4電圧112が選択出力され、交流化信号107が“1”の時、表示データ104がONの場合V1電圧109が、表示データ104がOFFの場合V3電圧111が選択出力される。

【0008】一方、Y駆動回路103では、先頭ラインクロック108をラインクロック106により取り込み先頭ラインを選択走査し、その後ラインクロック106に従い、順次走査ラインを移動させる。この走査信号と交流化信号107の組合せにより、4レベルの液晶駆動電源電圧V1電圧109、V6電圧110、V5電圧113、V2電圧114の中から1レベルの電圧を選択し、Y電極 $V_{y1} \sim V_{yj}$ に印加される。すなわち、図5に示すように交流化信号107が“0”の時、走査信号が走査の場合V1電圧109が、走査信号が非走査の場合V5電圧113が選択出力され、交流化信号107が“1”の時、走査信号が走査の場合V2電圧114が、走査信号が非走査の場合V6電圧110が選択出力される。

【0009】また、6レベルの液晶駆動電圧は、図3に示すように外部供給電圧V0電圧301をR1～R5の抵抗で分圧することにより生成される。これらの分圧抵抗は、

【0010】

【数1】 $R1 = R2 = R4 = R5 = R$

$R3 = (a - 4) R$

という関係がある。ただし、aはバイアス比である。

【0011】これら6レベルの液晶駆動電圧には、

【0012】

【数2】 $V1 > V6 > V3 > V4 > V5 > V2$ 、

3

$$V1 - V6 = V6 - V3 = V4 - V5 = V5 - V2$$

の関係がある。また、一般的にV2電圧114は図3に示すようにGNDレベル(0V)とすることが多い。

【0013】次に図6の表示パターンを用いて液晶セルに印加される電圧を図7を用いて説明する。図6に示す表示パターンは、X電極Vx1~Vx4とY電極Vy1との交点の液晶セル(液晶セルAを含む)、およびX電極Vx1、Vx2とY電極Vy3との交点の液晶セルを、すべて黒丸で示すON表示セル、その他の液晶セルをすべて白丸で示すOFF表示セル(液晶セルBを含む)とした配置パターンである。この表示パターンを、フレーム毎に極性を反転させるフレーム交流の交流化信号107で駆動した時、液晶セルA、Bに印加される電圧は、図7のようになる。つまり、液晶セルAは、Y電極Vy1と、X電極Vx1との間に位置するセルであるため、セルに印加される電圧VAは、Vy1印加電圧とVx1印加電圧の電圧差(Vy1-Vx1)となり、また、液晶セルBは、Y電極Vy2と、X電極Vx1との間に位置するセルであるため、セルに印加される電圧VBは、Vy2印加電圧とVx1印加電圧の電圧差(Vy2-Vx1)となる。

【0014】

【発明が解決しようとする課題】単純マトリクス形の液晶表示装置における、上記従来技術の課題点を図8、9を用いて説明する。

【0015】従来技術は、X電極Vx1~Vxiに印加する電圧レベルの変化時に、電圧波形に歪みが生じ、この歪みはY駆動回路103の駆動能力が低い場合、液晶を介してY駆動回路103の出力を歪ませる。例えば、図8はY電極の非走査期間における印加電圧波形であり、a点はX駆動回路102がすべて立上りで、b点はすべて立下り、c点は立上りと立ち下がりが同数の場合なのである。X駆動回路102の出力動作が液晶を介してY駆動回路103の出力をa点では上方向に、b点では下方向に歪ませ、c点では相殺されるためほとんど歪みは発生しない。図9は図6に示す表示パターンにおける、液晶セルCおよび、液晶セルDに加わるX電極、Y電極の印加電圧波形である。Y電極が選択期間の場合にも同様に波形を歪ませるため、図9においてVy5(液晶セルDに加わる)のように走査期間でVx1~Vx5の電圧変化がないと、X電極の出力動作によるY電極の歪みはなく、Y電極の印加電圧波形は、ほぼ理想的なものとなる。しかし、Vy1(液晶セルCに加わる)のように走査期間でVx1~Vx4が立ち下がる場合、X電極の出力動作によるY電極の歪みが生じる。このため、ラインによって液晶セル印加電圧実効値にばらつきが生じ、液晶表示に輝度むら、クロストークが発生する。

【0016】本発明は、選択期間に液晶セルに印加される電圧の実効値のばらつきを少なくして表示品質を向上させることを目的とするものである。

4

【0017】

【課題を解決するための手段】本発明の液晶表示装置の駆動方式は、Y電極の選択走査期間におけるX電極の電圧レベル変化による波形純りの差を少なくして、液晶セルに印加される電圧の実効値のばらつきを少なくして表示品質を向上させるものである。

【0018】X電極の電圧レベル変化時の、波形純りによる実効印加電圧の歪みを補正するためには、歪んだ電圧の分だけ走査期間におけるY電極に電圧を加えればよい、と考えることができる。また、この歪みは1走査分のX電極上における波形の立上りの数と立ち下がりの数の差で異なり、この差が多いほど歪みが大きくなる。この点に着目して、本発明は、1走査分のX電極上における波形の立上りの数と立ち下がりの数の差に応じて、Y電極の選択期間における電圧レベルを制御することにより、Y駆動回路出力の歪みを補正するようにした。このため、液晶セルに加わる印加電圧実効値は、X電極の電圧レベル変化数に関係なく一定となり、表示輝度差を少なくすることができる。

【0019】そこで、本発明では、Y駆動回路に与える選択レベルの電圧を制御する電圧セクタを設け、この電圧セクタにより選択期間の電圧切り換え制御を行うこととした。この電圧セクタの制御信号は1走査分のX電極上におけるOFF→ONとON→OFFの差の数により“1”または“0”を決定する。

【0020】

【作用】上記電圧セクタは、1走査期間毎にX電極上におけるOFF→ONとON→OFFの差をカウントし、その数に応じてY駆動回路に与えるONレベルの電圧を制御するため、X電極の電圧レベル変化時の波形純りによる、Y駆動回路の出力歪みを補正することができる。従って、各液晶セルの走査期間に印加される電圧実効値の、表示パターンによるばらつきが少なくなり、表示品質を向上することができる。

【0021】

【実施例】以下、本発明の実施例を、図1および図10~図23を用いて説明する。

【0022】図1は本発明の一実施例の液晶表示装置の構成を示すブロック図である。

【0023】図1において、101~114は、従来の技術の図2で説明したものと同一である。115は電圧セレクト信号生成回路であり、表示データ104のOFF→ON変化数とON→OFF変化数の差を1ラインごとにカウントして、カウントされた数に応じた電圧セレクト信号116を生成する。117はY駆動回路103に与える電源電圧を電圧セレクト信号116により選択する電圧セクタであり、118、119は電圧セクタ117に与える補正電源電圧であり、120、121は電圧セクタ117からY駆動回路に与えられる電源電圧Vs1、Vs2である。

【0024】図10は電圧セクタ117の構成を示すブロック図であり、図11は電圧セクタ117の動作説明図である。また、図12はY駆動回路103の動作説明図であり、図13は液晶駆動電源電圧109～114および118、119を生成する分圧回路であり、1301は外部供給電圧V0である。図14は、電圧セレクト信号生成回路115の1実施例の構成図で、1401はラインメモリで、先頭ラインコック108でリセットされ、データラッチコック105により液晶1ライン表示分の表示データ104を取りこみ、次の1水平期間で取り込んだ表示データ104を、データラッチコック105に同期して順に出力する。1402はラインメモリ出力であり、1403は表示データ104とラインメモリ出力1402を比較する比較回路、1404はその比較データである。1405は、表示データ104がOFF表示からON表示へと変化した数をカウントするOFF→ONカウンタ、1406はその出力であるOFF→ON数、1407は、表示データ104がON表示からOFF表示へと変化した数をカウントするON→OFFカウンタ、1408はその出力であるON→OFF数、1409はOFF→ON数1406からON→OFF数1408を引く差回路であり、1410はその出力の差変化数である。1411は差変化数1410をラインコック106でラッチする差ラッチで、1412はその出力で差データである。1413は差デコード回路であり、差データ1412をデコードし電圧セレクト信号116を出力する。図15は比較回路の動作図、図16はOFF→ONカウンタ1405の1実施例の構成図で、1701は比較データ1404のOFF→ON信号をデコードするOFF→ONデコーダA、1702はその出力のOFF→ONデータ、1703はOFF→ONデータ1702のOFF→ON数をデコードするOFF→ONデコーダB、1704はOFF→ON変化数、1705はOFF→ON変化数を加算するOFF→ONアダプタ、1706は加算OFF→ON数、1707は加算OFF→ON数1706をラッチするOFF→ONラッチである。図17は、OFF→ONデコーダA1701の動作を示す動作図で、図18はOFF→ONデコーダB1703の動作図、図19は差デコーダの動作図である。さらに、図20は電圧セレクト生成回路図115の動作図であり、図21は図22に示す液晶表示パターンを表示したときの液晶セル印加電圧波形を示す図である。

【0025】以下、図1に示す液晶表示装置の動作について説明する。

【0026】電圧セクタ117は、図10に示すように電圧セレクト信号116に従い選択動作を行う2つのセクタ1001、1002から成り、各セクタ1001、1002からは、図11の動作説明に示すように、電圧セレクト信号116が“1”の時、V1' 電圧

118、V2' 電圧119がそれぞれVs1電圧120、Vs2電圧121として出力される。また、電圧セレクト信号116が“0”の時、セクタ1001および1002からは、V1電圧109がVs1電圧120、V2電圧114がVs2電圧121として出力される。

【0027】Y駆動回路103では、先頭ラインコック108をラインコック106により取り込み先頭ラインを選択走査し、その後ラインコック106に従い、順次走査ラインを移動させる。この走査信号と交流化信号107の組合せにより、2レベルの液晶駆動電源電圧V6電圧110、V5電圧113、および電圧セクタから与えられる2レベルの液晶駆動電源電圧Vs1電圧120、Vs2電圧121の中から1レベルの電圧を選択し、Y電極Vy1～Vyjに印加される。つまり、図12に示すように、交流化信号107が“0”の時、走査信号が走査の場合Vs1電圧120が、走査信号が非走査の場合V5電圧113が選択出力され、交流化信号107が“1”の時、走査信号が走査の場合Vs2電圧121が、走査信号が非走査の場合V6電圧114が選択出力される。ここでVs1電圧120は、上記のように電圧セレクト信号116によりV1電圧109とV1' 電圧118から選択され、Vs2電圧121はV2電圧114とV2' 電圧119から選択される。

【0028】一方、X駆動回路102は、従来技術と同様に1走査電極分の直列の表示データ104と1走査電極分のデータラッチコック105とが加えられて、表示データ104がシフトされ、1走査電極分の表示データ104が蓄積されると、ラインコック106がX駆動回路102に加えられて、シフトされた表示データ104がX駆動回路102の出力側にコードされる。コードされた表示データ104と交流化信号107との組合せにより、4レベルの液晶駆動電源電圧V1電圧109、V3電圧111、V4電圧112、V2電圧114の中から1レベルの電圧を選択して、1走査電極分のX駆動電圧が並列的にX電極Vx1～Vxiに印加される。つまり、図4に示すように、交流化信号107が“0”の時、表示データ104がONの場合V2電圧114が、表示データ104がOFFの場合V4電圧112が選択出力され、交流化信号107が“1”の時、表示データ104がONの場合V1電圧109が、表示データ104がOFFの場合V3電圧111が選択出力される。

【0029】液晶パネルは、例えばY電極Vy5とX電極Vx6との間に位置する液晶セルにおいては、Vy5印加電圧とVx6印加電圧との電圧差(Vy5-Vx6)がセルに加わる印加電圧となるように動作して、表示する。

【0030】尚、6レベルの液晶駆動電圧には、新たにVs1電圧120、Vs2電圧121が加わり、図13

に示すように外部供給電圧 V_0 電圧1301を $R_1 \sim R_5$ および r_1, r_2 の抵抗で分圧することにより生成される。これらの分圧抵抗は、

【0031】

【数3】 $R_1 = R_2 = R_4 = R_5 = R$

$r_1 = r_2 = r$

$R_3 = (a - 4) R$

という関係がある。ただし、 a はバイアス比である。これら8レベルの液晶駆動電圧には、

$V_1' > V_1 > V_6 > V_3 > V_4 > V_5 > V_2 > V_2', V_1 - V_6 = V_6 - V_3 = V_4 - V_5 = V_5 - V_2$

の関係がある。

【0032】ここでは、電圧セレクト信号生成回路115の1実施例を、表示データ104を4ビットパラレル、1走査期間の表示を640ドットとして説明する。電圧セレクト信号生成回路115は、図14に示す構成で実現できる。ラインメモリ1401は先頭ラインコックで“0”にリセットされ、1ライン分の表示データ104をデータラッチコック105により順に取り込み、次の1ラインでデータラッチコック105により、取り込んだ順に表示データ1402を出力する。比較回路1403は、ラインメモリ出力1402と次の1ラインの表示データ104を比較し、図15に示すようにラインメモリ出力1402を上位ビット、表示データ104を下位ビットとなるように、2ビットの比較データ1404を出力する。ここで“00”は表示データ104の変化がOFF→OFF、“01”はOFF→ON、“11”はON→ON、“10”はON→OFFであることを示す。従って本実施例では、表示データ104が1ライン目表示データの時は、ラインメモリ1401は常に“0”を出力し、この“0”と1ライン目のデータを比較することになり、表示データ104が2ライン目の時には、1ライン目のデータと比較することになる。OFF→ONカウンタ1405は、図16に示すように構成されており、比較データ104をOFF→ONデコーダA1701で図17に示すように、デコード結果を8ビットの比較データ1404のうちで“01”を“1”、その他“00”、“10”、“11”を“0”となるようにデコードし、4ビットのデータに変換する。OFF→ONデコーダBは、図18に示すように、デコード結果が、4ビットのOFF→ONデータ1702のうちで“1”となっている数となるようにデコードする。OFF→ONアダー1705はOFF→ON表示数1704とOFF→ON数1406を加算し、加算結果の加算OFF→ON数1706はOFF→ONラッチ1707でデータラッチコック105でラッチされる。OFF→ONラッチ1707はラインコック106で“0”にリセットされるため加算OFF→ON数をデータラッチコック105で順にラッチし、その結果

をOFF→ONアダー1705に与えることにより、1走査分のデータラッチコック106の出力時には1走査期間内のOFF→ON表示数をラッチすることになる。ON→OFFカウンタ1407も図16のOFF→ONカウンタ1405と同様な構成で実現できる。（ただし図17のデコーダ動作を“10”を“1”、その他“00”、“01”、“11”を“0”となるようにする）。差回路1409は、OFF→ON数1406からON→OFF数1408を減算し、その結果を差変化数1410として出力する。ラインコック107の出力時は、OFF→ONカウンタ1405、ON→OFFカウンタ1407共に1走査期間内のOFF→ON変化数、ON→OFF変化数をカウントし終わっているため、差ラッチ1411は1走査期間内のOFF→ON変化数とON→OFF変化数の差をラッチすることになる。差デコーダ回路1413は、図19に示すように、差データ1412が-640～50の時、電圧セレクト信号116を“0”、51～640の時、電圧セレクト信号116を“1”となるようにデコードする。この動作は図20、21で示すようなタイミングで行われる。ラインメモリ出力1402（ a_0, a_1, a_2, \dots ）、表示データ104（ b_0, b_1, b_2, \dots ）、比較データ1404（ c_0, c_1, c_2, \dots ）、OFF→ON変化数1704（ d_0, d_1, d_2, \dots ）はすべてデータラッチコック105に同期し、同じタイミングで出力される。OFF→ONラッチ1707より出力されるOFF→ON数1406は、ラインコック106により“0”にリセットされ、OFF→ONアダー1705はOFF→ON変化数1704（ d_0 ）と“0”を加算する。この加算OFF→ON数1706（ e_0 ）は、OFF→ONラッチ1707でラッチされ、OFF→ONアダー1705へ出力される。OFF→ONアダー1705は、OFF→ONラッチ1707出力のOFF→ON数と次のOFF→ON変化数1704（ d_1 ）を加算する。この動作を繰り返すことにより、1走査期間におけるOFF→ON変化数をカウントする。また、ON→OFFカウンタ1407も同じタイミングでON→OFF変化数をカウントし、差回路1409ではOFF→ON変化数とON→OFF変化数の差を、OFF→ONカウンタ1405の出力 e_0, e_1, e_2, \dots と同じタイミングで g_0, g_1, g_2, \dots として出力する。差ラッチ1411は、差変化数1410の1走査分のデータ（ g_1, g_2, \dots ）をラインコック106でラッチし、次の1走査期間で出力する。同時に差デコーダ回路1413は出力された差データ1412により、電圧セレクト信号116の“1”または“0”を出力する。

【0033】X駆動回路102は、1走査電極分の表示データ104と1走査電極分のデータラッチコック105とが加えられて、表示データ104がシフトされ、

1 走査電極分の表示データ104が蓄積されると、ラインクック106がX駆動回路102に加えられて、シフトされた表示データ104がX駆動回路102の出力側にコードされる。この出力タイミングは、図21に示すように、上記の電圧セレクト信号116と同じであることがら、タイミングのずれによる表示品質の低下は起こらない。

【0034】次に、図22の表示パターンを用いて液晶セルに印加される実際の電圧を図23にて説明する。図22に示す表示パターンは、X電極 $V_{x1} \sim V_{x200}$ とY電極 V_{y1} との交点の液晶セルを、すべて黒丸で示すON表示セル、その他の液晶セルをすべて白丸で示すOFF表示セル（液晶セルE、Fを含む）とした配置パターンである。この表示パターンを、フレーム交流の交流化信号107で駆動した時、液晶セルFについては、のOFF→ON変化数、ON→OFF変化数共に0個なので、その差は0（50）個となる。このため、電圧セレクト信号116が“0”となり、交流化信号107が“0”の場合、Y電極の走査期間に選択される電圧 V_{y1} は V_1 、非選択期間では V_5 となる。また、液晶セルEにおいては、OFF→ON変化数が400個、ON→OFF変化数は0個なので、その差は400（50）となる。このため、電圧セレクト信号116が“1”となり、Y電極の走査期間に選択される電圧 V_{y1} は V_1' 、非選択期間では V_5 となる。

【0035】液晶セルEは、Y電極 V_{y1} とX電極 V_{x201} との間に位置するセルであるため、セルに印加される電圧VEは、 V_{y1} 印加電圧と V_{x201} 印加電圧の電圧差（ $V_{y1} - V_{x201}$ ）、すなわち走査期間では（ $V_1' - V_4$ ）、非走査期間では（ $V_5 - V_4$ ）となる。また液晶セルFは、Y電極 V_{y5} とX電極 V_{x201} との間に位置するセルであるため、セルに印加される電圧VDは、 V_{y5} 印加電圧と V_{x201} 印加電圧の電圧差（ $V_{y5} - V_{x201}$ ）、すなわち走査期間では（ $V_1 - V_4$ ）、非走査期間では（ $V_5 - V_4$ ）となる。ここで液晶セルEでのX電極における波形純りによるY駆動回路の出力の歪みを、Y電極走査期間において、液晶セルEに $V_1' - V_1 = \Delta V$ の補正電圧分だけ液晶セルFよりも多く加えて補正するので、液晶セルEに印加される電圧VEと液晶セルFに印加される電圧VFがほぼ等しくなり、印加電圧実効値のラインによる差が少なくなる。

【0036】以上説明したように、Y電極印加実効電圧は、補正期間において選択出力される電圧レベルに波形純りの差が少なくなり、表示パターンに関係なく、液晶セルに印加される電圧の実効値のばらつきも少なくなる。よって、表示品質を向上させることが可能となる。

【0037】本実施例では、Y駆動回路103の選択電圧を2レベルとして説明したが、これに限られる訳ではなく、図19の差デコーダ回路1413の内容を変え

て、電圧セクタ117をNレベルから1レベルの選択とすることで、Nレベルの電圧切り替えが可能となる。この場合、2レベル切り替えに比べて細かい制御ができ、液晶セルに印加される実行値のばらつきをさらに少なくすることが可能であるため、さらに表示品質を向上できる。

【0038】次に、第2の実施例を図24～図27を用いて説明する。単純マトリクス形の液晶表示パネルに対し、液晶セルに印加される電圧実効値のばらつきを少なくし、表示品質を向上させることを目的として、図25に示すように、走査期間毎に液晶セルのX電極への印加電圧が、ONレベルとOFFレベルの中間レベルとなる期間を設けて、表示データ104に従った表示を行わせる駆動方式の場合、X駆動回路102の出力変化点で、液晶を介してY駆動回路103の出力を歪ませることにより発生するクコストークの問題は、実施例1と同様に、表示データの変化点数に応じてY電極の電圧レベルを制御することにより解決できる。この場合、実施例1のように立上りと立ち下がりの変化点数の差によって、電圧セレクト信号116を決定し、それによりY電極の電圧レベルを制御するのではなく、X駆動回路102の出力が図25に示すように必ず変化するため、前ラインとの比較をすることなしに、単に表示データの104のON表示数とOFF表示数の差をカウントして、その差により電圧セレクト信号116を決定することにより、Y電極の電圧レベルを制御することが可能である。

【0039】図24は実施例2の構成図で、2401は電圧セレクト信号生成回路であり、表示データの104のON表示数とOFF表示数の差をカウントし、その差により電圧セレクト信号116を出力する。他の構成要素は、実施例1と同じである。

【0040】図26は電圧セレクト信号生成回路115の構成図であり、2601は表示データ104データラッチクック105で取り込み、ON表示数をカウントするON表示カウンタ、2602はその出力の、ON数、2603は表示データ104データラッチクック105で取り込みOFF表示数をカウントするOFF表示カウンタ、2604はその出力のOFF数であり、2605は表示差で、差回路1409の出力である。図27はON表示カウンタ2601の1実施例の構成図で、2701は表示データ104のON数をデコードするONデコーダ、2702はON表示数、2703はON表示数を加算するONアダー、2704は加算ON数、2705は加算ON数2704をラッチするONラッチである。図28はONデコーダ2701の動作を示す動作図である。ここで、ONデコーダ2701、ONアダー2703、ONラッチ2705は、それぞれ実施例1におけるOFF→ONデコーダB1703、OFF→ONアダー1705、OFF→ONラッチ1707と同じ動作を行う。

【0041】図24において、電圧セレクト生成回路2401は1走査期間の表示データ104のON表示数、OFF表示数をそれぞれカウントし、そのカウント値の差により、電圧セレクト信号116の“1”と“0”を決定し、Y電極の印加電圧レベルを制御する。これにより、Y駆動回路103の出力の歪みを補正することができ、クコストークの発生を防止することができる。

【0042】次に、電圧セレクト信号生成回路2401の1実施例を、実施例1と同じように表示データ104を4ビットパラレル、1走査期間の表示を640ドットとして説明する。電圧セレクト信号生成回路2401は図26に示す構成で実現できる。ON表示カウンタ2601は、図27に示すように、表示データ104をONデコーダ2701で、図28に示すように、デコード結果が4ビットの表示データ104のうちで“1”となっている数となるようにデコードする。ONアダー2703は表示ON数2702とON数2502を加算し、加算結果の加算ON数2704はONラッチ2705でデータラッチクック105でラッチされる。ONラッチ2705はラインクック106で“0”にリセットされるため表示ON数をデータラッチクック105で順にラッチし、その結果をONアダー2703に与えることにより、1走査分のデータラッチクック105の出力時には1走査期間内のON表示数をラッチすることになる。OFF表示カウンタ2603も図27のON表示カウンタ2601と同様な構成で実現できる（ただし図28のデコーダの動作を“0”の数をデコードするようにする）。差回路1409はON数2602からOFF数2604を減算し、その結果を表示差2605として出力する。ラインクック106の出力時は、ON表示カウンタ2601、OFF表示カウンタ2603ともに1走査期間内のON表示数、OFF表示数をカウントし終わっているため、差ラッチ1411は1走査期間内のON表示数とOFF表示数の差をラッチすることになる。差デコーダ回路1413は、実施例1と同様に、図19に示すように、差データ1412が-640~50の時、電圧セレクト信号116を“0”、51~640の時、電圧セレクト信号116を“1”となるようにデコードする。電圧セレクト信号と電圧レベルの関係は実施例1と同様であり、図11の動作説明に示すように、電圧セレクト信号116が“1”の時、V1'電圧118、V2'電圧119がそれぞれVs1電圧120、Vs2電圧121として出力される。また、電圧セレクト信号116が“0”の時、セクタ1001および1002からは、V1電圧109がVs1電圧120、V2電圧114がVs2電圧121として出力される。

【0043】以上説明した電圧セレクト生成回路2401の動作により、図25に示すような、走査期間毎に液晶セルのX電極への印加電圧が、ONレベルとOFFレベルの中間レベルとなる期間を設けて、表示データ10

4に従った表示を行わせる駆動方式において、走査期間のY電極に与える電圧を1走査期間内のON表示数、OFF表示数の差に従い制御できるため、X駆動回路102の出力によるY駆動回路103の走査期間での出力歪みを補正でき、クコストークのない表示が可能となる。

【0044】この実施例では、ON表示数とOFF表示数の差を単純に計算したが、これに限られる訳ではなくON表示数、OFF表示数にそれぞれ重みをつけた演算も可能である。また、実施例での回路構成もここで説明した回路に限る訳でなく、Y電極に与える電圧レベルを制御する回路を実現すればよい。

【0045】また、Y駆動回路103の選択電圧を2レベルとして説明したが、これに限られる訳ではなく、図19の差デコーダ回路1413の内容を変えて、電圧セクタ117をNレベルから1レベルの選択とすることで、Nレベルの電圧切り替えが可能となる。この場合、2レベル切り替えに比べて細かい制御ができ、液晶セルに印加される実行値のばらつきをさらに少なくすることが可能であるため、表示品質を向上できる。

【0046】

【発明の効果】以上説明したように、本発明は、表示パターンに関係なく、1走査期間毎に液晶セルの印加電圧を補正電圧値にするため、表示パターンに依存する液晶セルの印加電圧実効値のばらつきを少なくさせることが可能となり、このばらつきにより発生していた表示輝度むら、クコストークを解消することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示装置構成図である。

【図2】従来の液晶表示装置構成図である。

【図3】従来の電源分圧回路図である。

【図4】従来のX駆動回路の動作説明図である。

【図5】従来のY駆動回路の動作説明図である。

【図6】液晶パネル表示パターンを示す図である。

【図7】従来の液晶印加電圧波形図である。

【図8】Y駆動回路の歪み方を示す図である

【図9】従来の液晶印加電圧波形の歪みを示す図である。

【図10】本発明の電圧セクタ117の構成図である。

【図11】本発明の電圧セクタ117の動作説明図である。

【図12】本発明のY駆動回路の動作説明図である。

【図13】本発明の電源分圧回路図である。

【図14】本発明の電圧セレクト生成回路図である。

【図15】本発明の比較回路1403の動作説明図である。

【図16】本発明のOFF→ONカウンタ1405の構成図である。

13

14

【図17】本発明のOFF→ONデコーダAの動作説明図である。

【図18】本発明のOFF→ONデコーダBの動作説明図である。

【図19】本発明の差デコーダ回路1413の動作説明図である。

【図20】本発明の電圧セレクト生成回路115の動作説明図である。

【図21】本発明の電圧セレクト生成回路115の動作説明図である。

【図22】液晶パネル表示パターンを示す図である。

【図23】本発明の液晶印加電圧波形図である。

【図24】本発明第2の実施例の液晶表示装置構成図である。

【図25】従来の液晶印加電圧波形図である。

【図26】本発明第2の電圧セレクト生成回路2401の構成図である。

【図27】本発明第2のON表示カウンタ2601の構成図である。

【符号の説明】

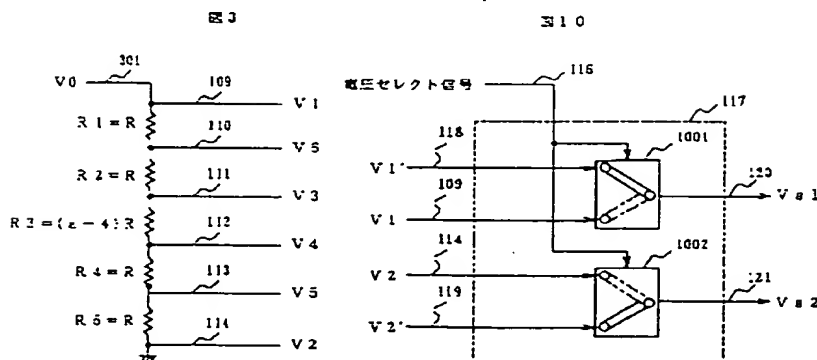
101…液晶パネル、
102…X駆動回路、
103…Y駆動回路、
104…表示データ、
105…データラッチコック、
106…ラインコック、
107…交流化信号、
108…先頭ラインコック、
109～114…液晶駆動電源電圧、
115…電圧セレクト信号生成回路、
116…電圧セレクト信号、
117…電圧セレクト、
118～119…液晶駆動電源電圧、
120～121…Y駆動電源電圧、

301…外部供給電圧、
1001～1002…セクタ、
1301…外部供給電圧、
1401…ラインメモリ、
1402…ラインメモリ出力、
1403…比較回路、
1404…比較データ、
1405…OFF→ONカウンタ、
1406…OFF→ON数、
1407…ON→OFFカウンタ、
1408…ON→OFF数、
1409…差回路、
1410…差変化数、
1411…差ラッチ、
1412…差データ、
1413…差デコーダ、
1701…OFF→ONデコーダA、
1702…OFF→ONデータ、
1703…OFF→ONデコーダB、
1704…OFF→ON変化数、
1705…OFF→ONアダー、
1706…加算OFF→ON数、
1707…OFF→ONラッチ、
2401…電圧セレクト生成回路、
2601…ON表示カウンタ、
2602…ON数、
2603…OFF表示カウンタ、
2604…OFF数、
2605…表示差、
2701…ONデコーダ、
2702…ON表示数、
2703…ONアダー、
2704…加算ON数、
2705…ONラッチ。

【図3】

【図10】

【図15】



ラインメモリ出力1402	表示データ104	比較データ1404
0	0	00
0	1	01
1	0	10
1	1	00

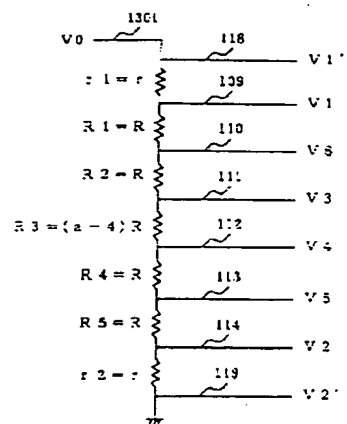
【図19】

図19

差データ1412 (10進)	電圧セレクト信号116
-540～50	0
51～640	1

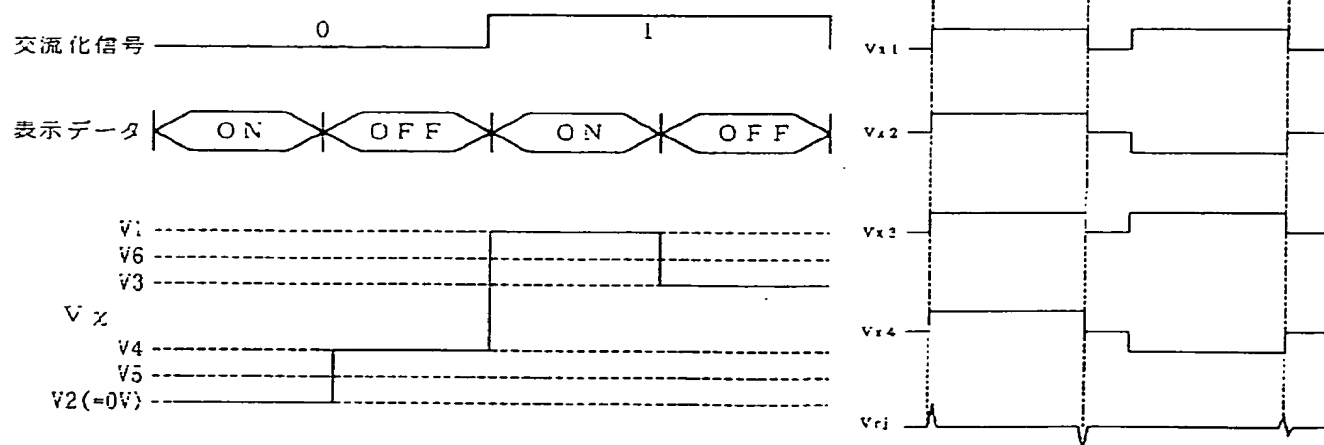
【圖 13】

图 1-3



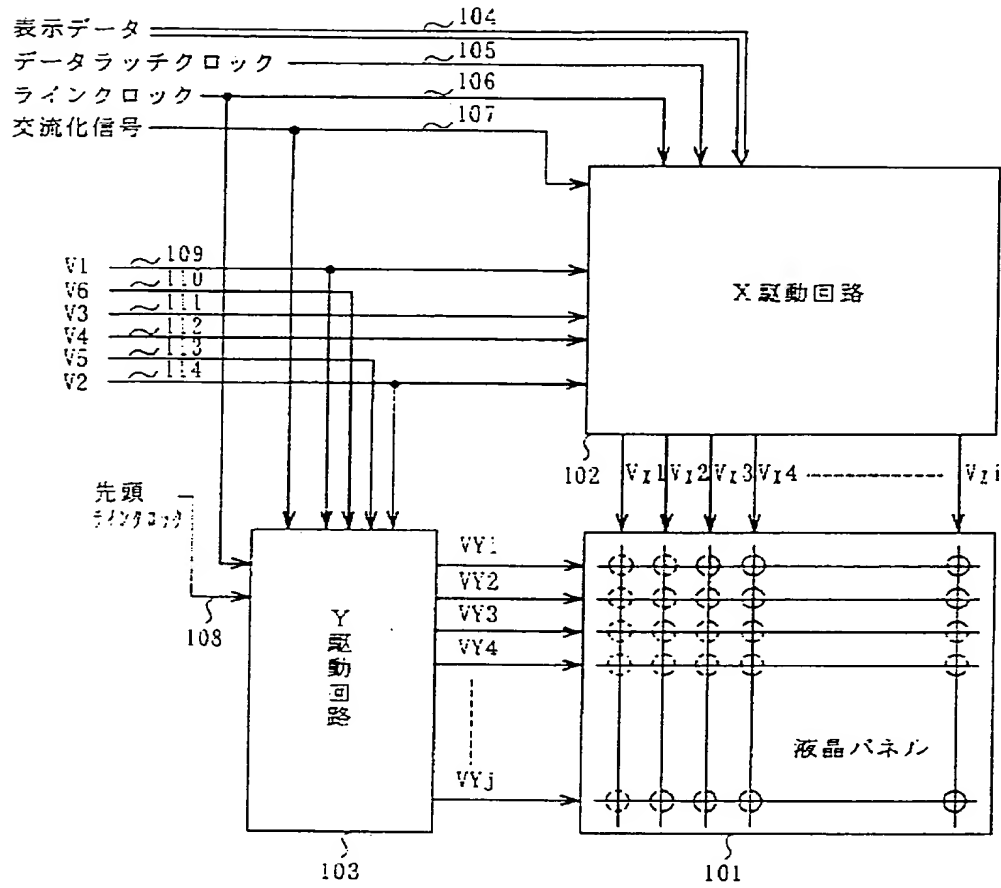
【图8】

8



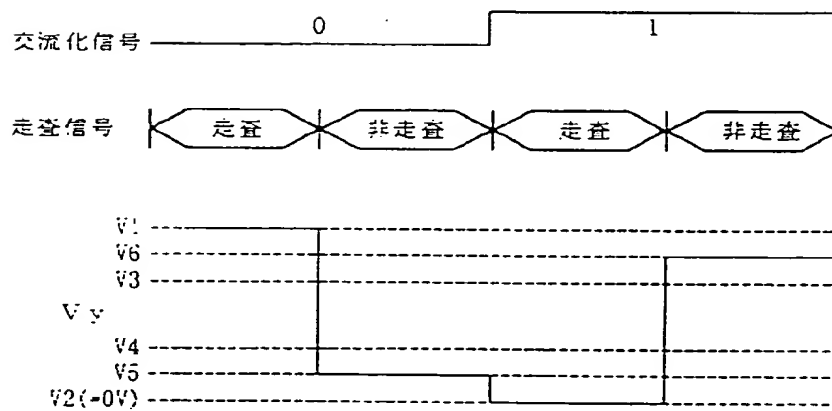
【図2】

図2



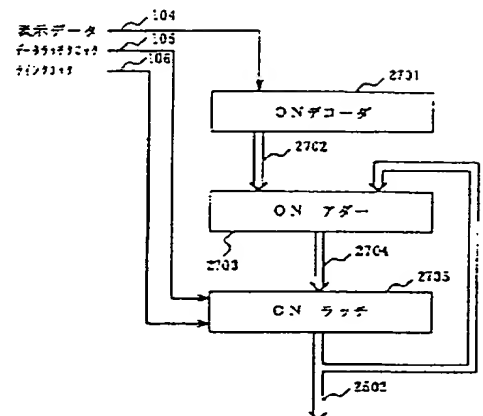
【図5】

図5



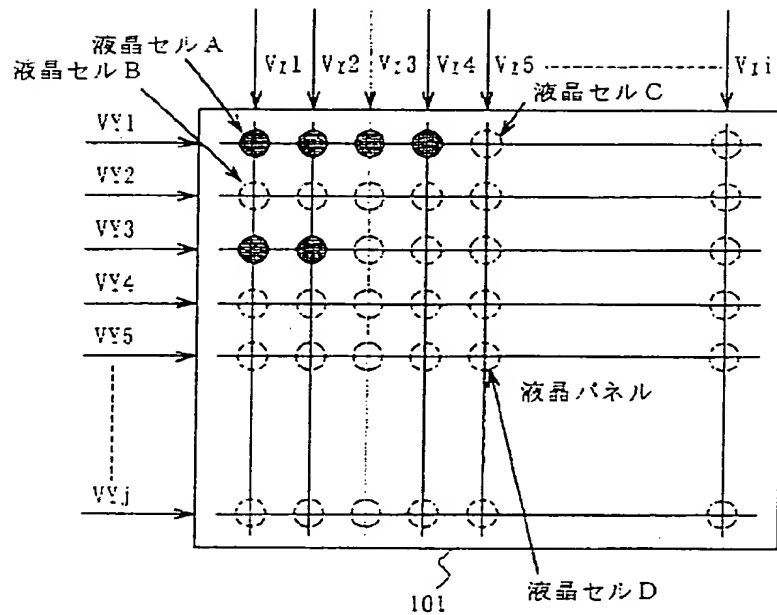
【図27】

図27



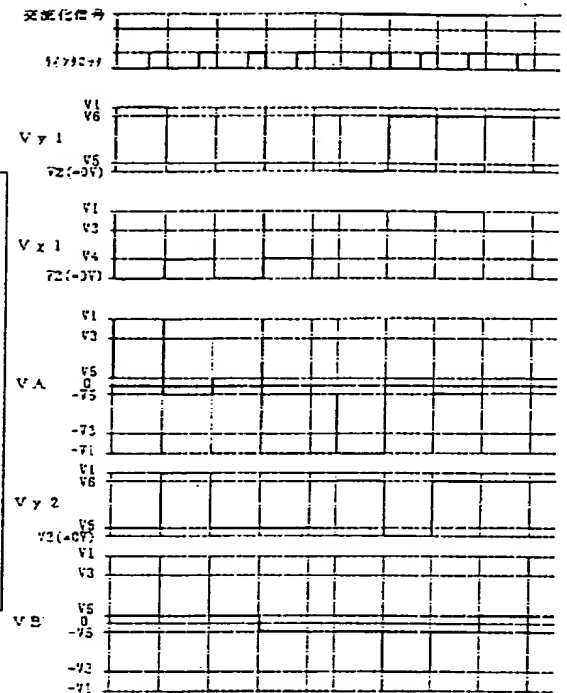
【図6】

図6



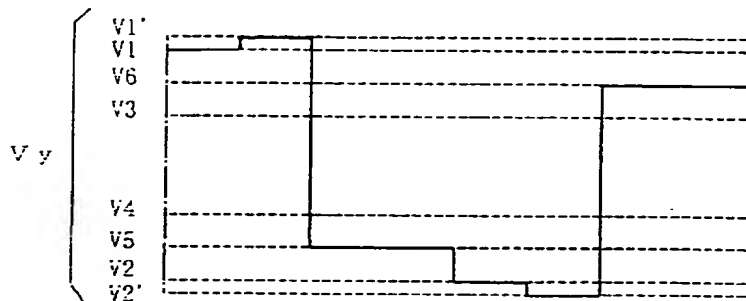
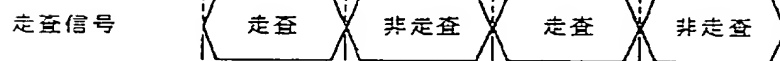
【図7】

図7



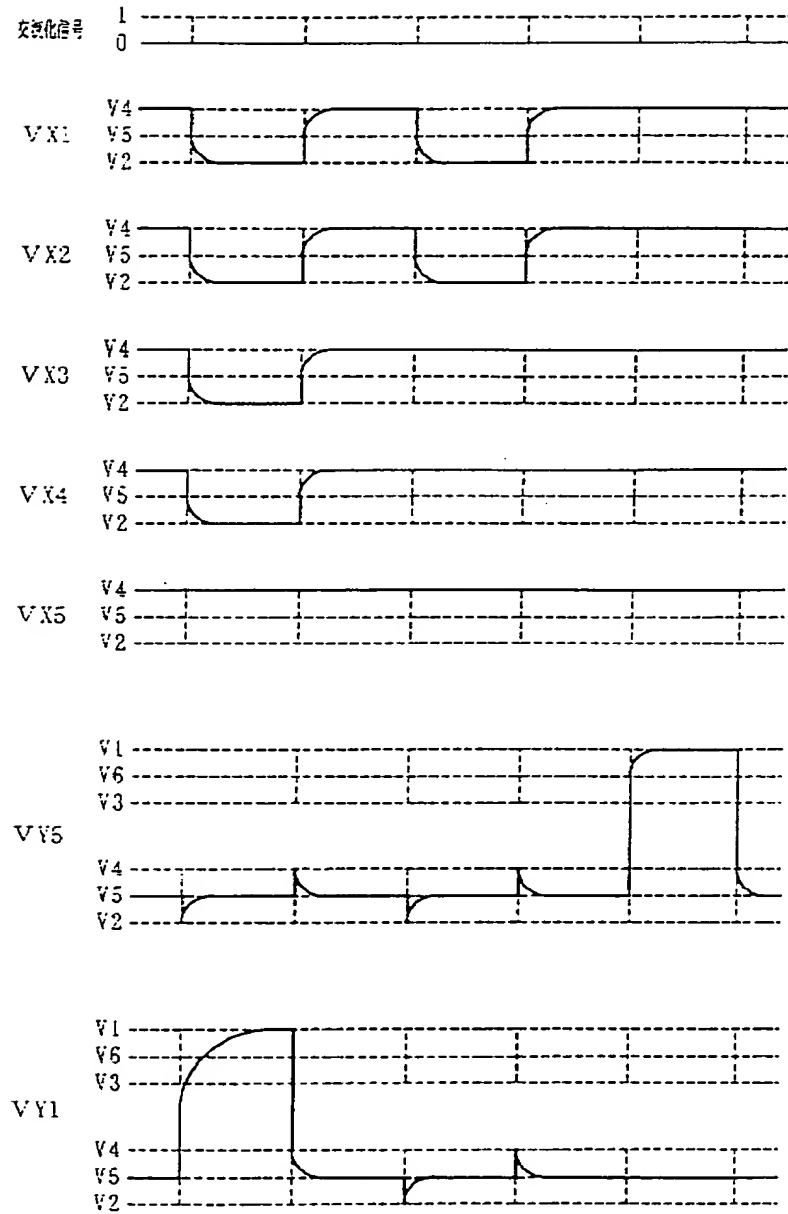
【図12】

図12



【図9】

図9



【図11】

図11

電圧レベル信号

0

1

V s 1	V1'		
	V1		
	V6		
	V3		
	V4		
	V5		
	V2		
	V2'		

V s 2	V1'		
	V1		
	V6		
	V3		
	V4		
	V5		
	V2		
	V2'		

【図17】

【図18】

図17

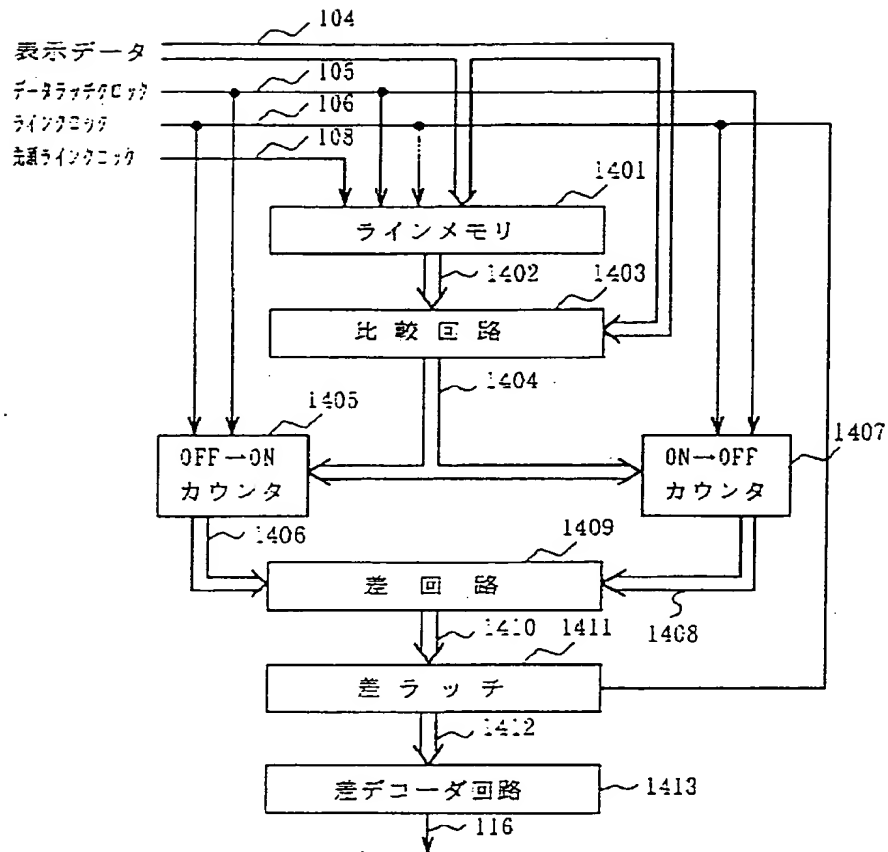
図18

比較データ 1404				OFF→ONデコーダ出力 1702			
D3	D2	D1	D0	D5	D2	D1	D0
10	00	10	10	0	0	0	0
00	00	00	(01)	0	0	0	1
00	10	(01)	10	0	0	1	0
10	00	(01)	(01)	0	0	1	1
00	(01)	10	10	0	1	0	0
10	(01)	00	(01)	0	1	0	1
10	(01)	(01)	10	0	1	1	0
10	(01)	(01)	(01)	0	1	1	1
(01)	10	10	10	1	0	0	0
(01)	10	00	(01)	1	0	0	1
(01)	00	(01)	10	1	0	1	0
(01)	00	(01)	(01)	1	0	1	1
(01)	(01)	00	00	1	1	0	0
(01)	(01)	10	(01)	1	1	0	1
(01)	(01)	(01)	00	1	1	1	0
(01)	(01)	(01)	(01)	1	1	1	1

OFF→ONデコーダ出力 1702				OFF→ON 数 1704			OFF→ONの数 (10進)
D3	D2	D1	D0	D2	D1	D0	
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	2
0	1	0	0	0	0	1	1
0	1	0	1	0	1	0	2
0	1	1	0	0	1	1	3
1	0	0	0	0	0	1	1
1	0	0	1	0	1	0	2
1	0	1	0	0	1	1	3
1	0	1	1	0	1	1	3
1	1	0	0	0	1	0	2
1	1	0	1	0	1	1	3
1	1	1	0	0	1	1	3
1	1	1	1	1	0	0	4

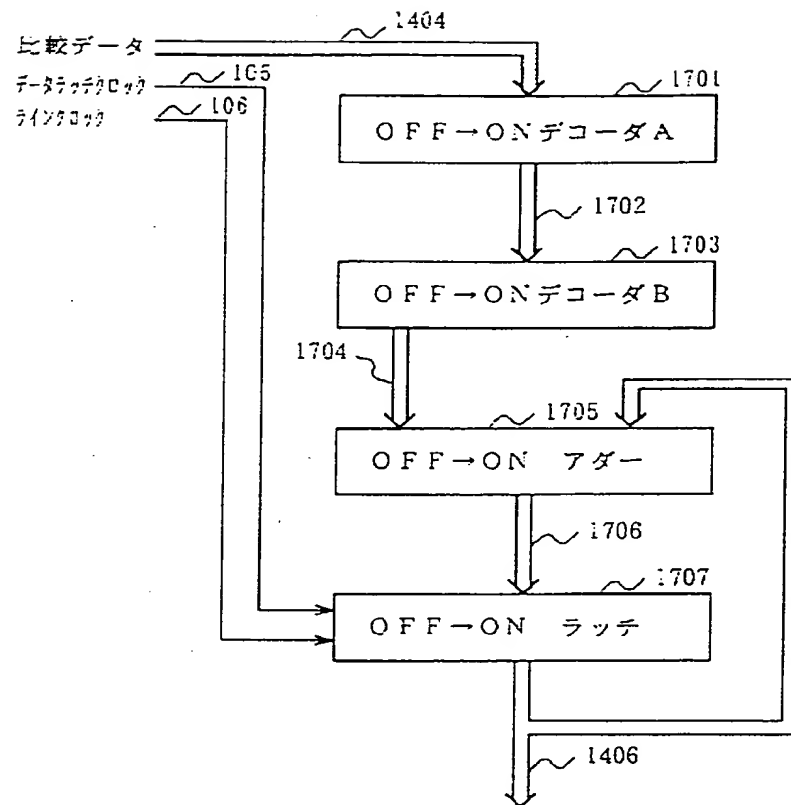
【図14】

図14



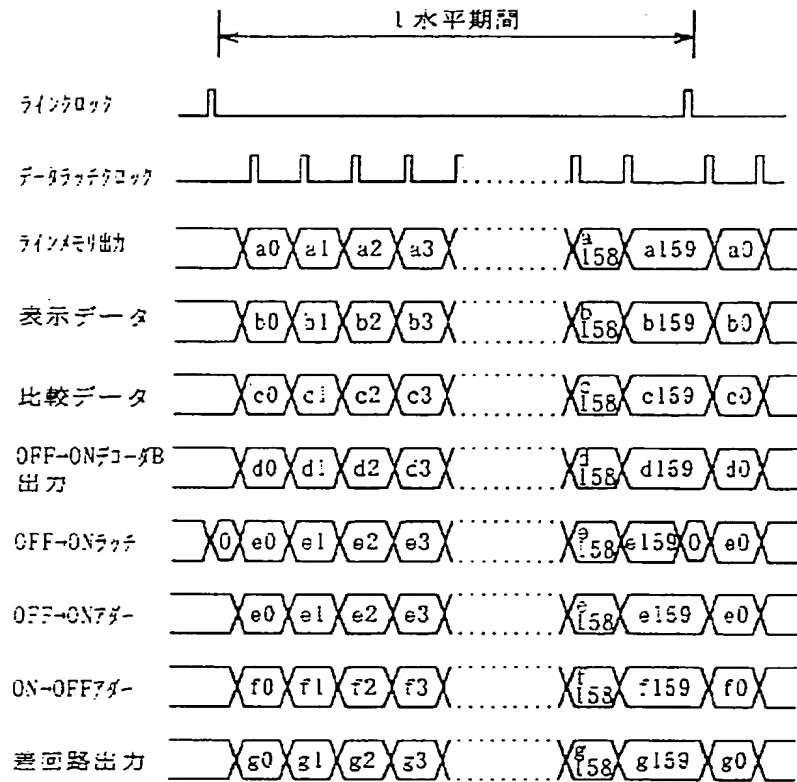
【図16】

図16



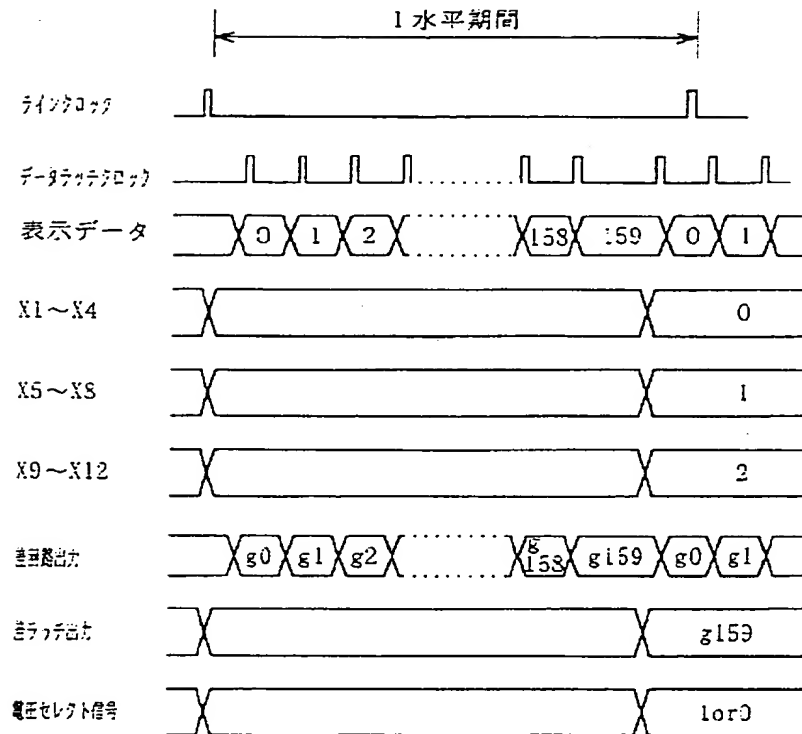
【図20】

図20



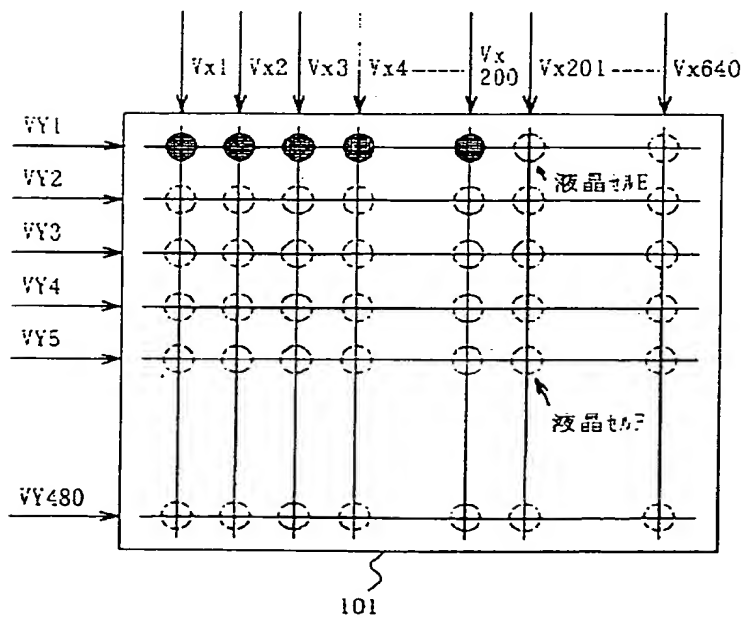
【図21】

図21



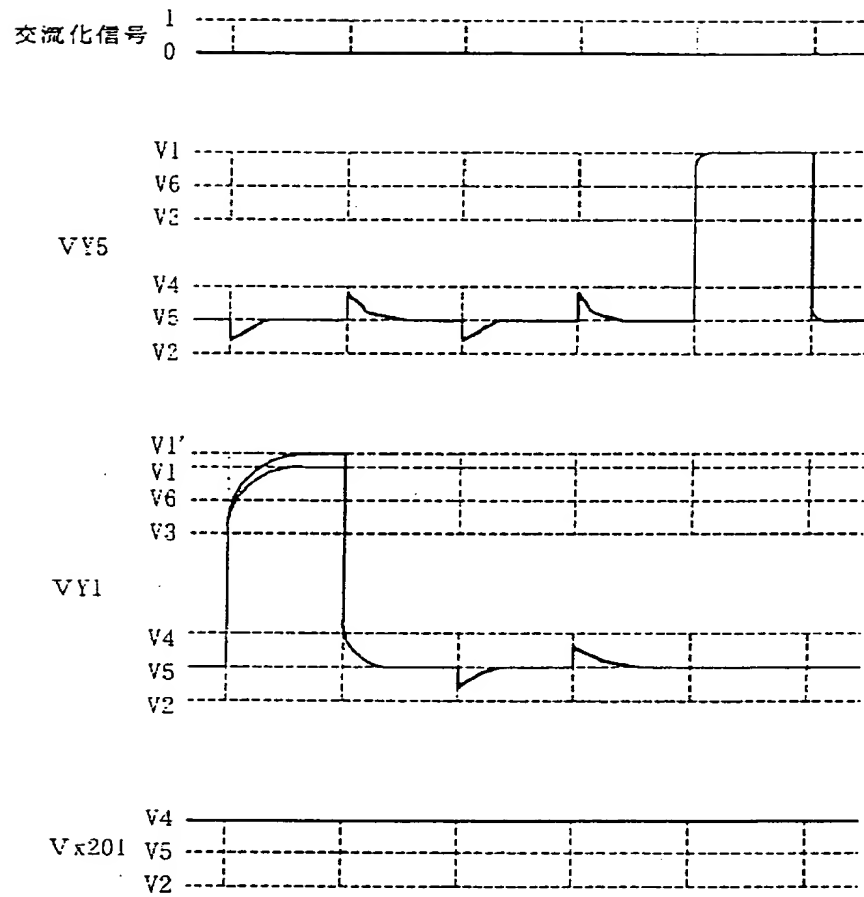
【図22】

図22

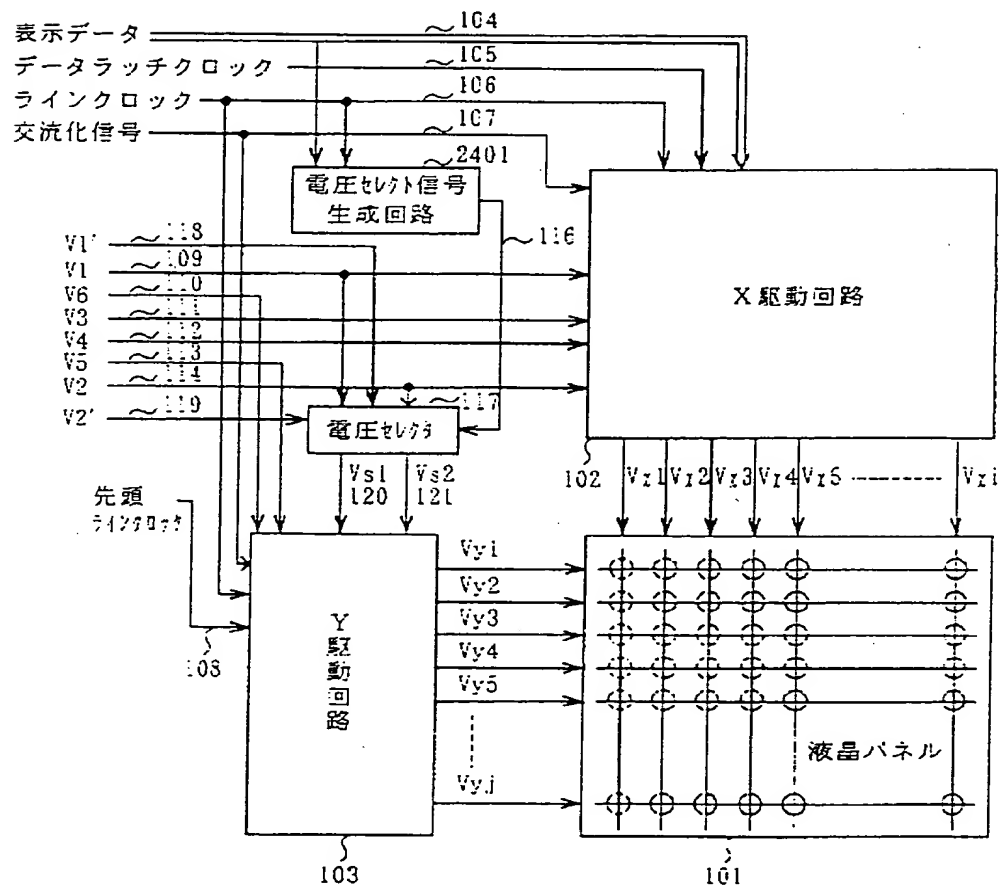


【図23】

図23

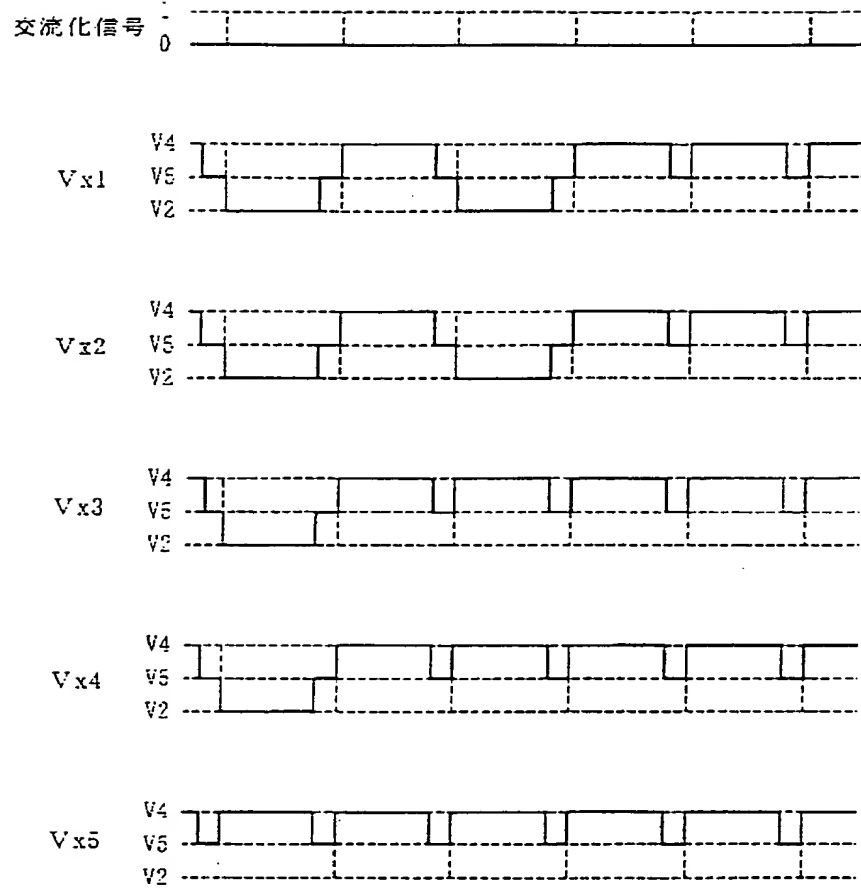


24



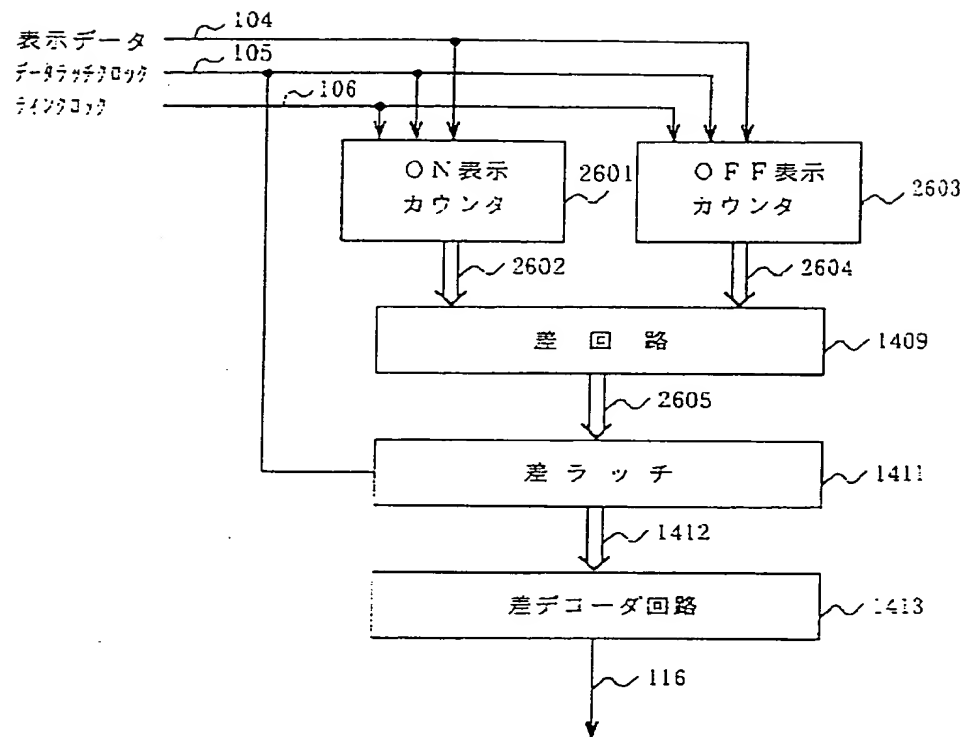
【図25】

図25



【図26】

図26



フロントページの続き

(72) 発明者 眞野 宏之
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所マイクロエレクトロニクス
 機器開発研究所内

(72) 発明者 小沼 智
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立画像情報システム内

(72) 発明者 大塚 達裕
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立画像情報システム内

(72) 発明者 高橋 孝次
 千葉県茂原市早野3300番地株式会社日立製
 作所茂原工場内